

KIOXIA, 새로운 3D 반원형 플래시 메모리 셀 구조 “Twin BiCS FLASH” 개발

2019년 12월 12일
KIOXIA Corporation

- 새로운 Split-Gate 기술을 활용한 비트 밀도 증가 -

도쿄 - KIOXIA Corporation은 오늘 특수 설계된 반원형 플로팅 게이트(FG) 셀을 이용한 세계 최초^[1]의 3D 반원형 split-gate 플래시 메모리 셀 구조인 “Twin BiCS FLASH”를 개발했다고 발표하였습니다. Twin BiCS FLASH는 기존의 원형 셀보다 더 작은 셀 사이즈에서 훨씬 높은 프로그래밍 슬로프와 넓은 Write/Erase Window를 구현합니다. 이러한 기술은 적은 스택 레이어 수에서 고밀도 메모리 실현이 가능하기 때문에 4-bit-cell(QLC) 기술을 능가하는 유망한 새로운 셀 디자인으로 주목 받았습니다. 이 기술은 12월 11일 (현지시간)에 샌프란시스코에서 열린 IEEE International Electron Devices Meeting (IEDM)에서 발표되었습니다.

3D 플래시 메모리 기술은 다층 스택 증착 및 높은 종횡비 에칭을 구현할 뿐만 아니라 셀 스택 레이어 수를 늘림으로써 비트 당 비용이 낮은 높은 비트 밀도를 달성하였습니다. 최근 몇 년 동안 셀 레이어 수가 100 단을 초과함에 따라 에칭 프로파일 제어, 크기 균일성 및 생산성 간의 균형을 관리하는 것이 점점 더 어려워지고 있습니다. 이 문제를 극복하기 위해 KIOXIA는 기존 원형 셀에서 게이트 전극을 분할하여 셀 크기를 줄이는 새로운 반원형 셀 디자인을 개발하였으며, 이를 통해 적은 수의 셀 레이어에서도 고밀도 메모리를 구현하였습니다.

원형 컨트롤 게이트는 평면 게이트와 비교할 때에 곡률 효과로 인해 더 큰 program window를 제공하고, program 포화 문제를 제어합니다. 이로써 터널 유전체를 통한 캐리어 주입이 향상되고 블록 (BLK) 유전체로의 전자 누출이 낮아집니다. Split-gate 셀 설계에서는 program/erase 다이내믹의 뛰어난 향상을 위해 원형 컨트롤 게이트가 두 개의 반원형 게이트로 대칭 분할됩니다.

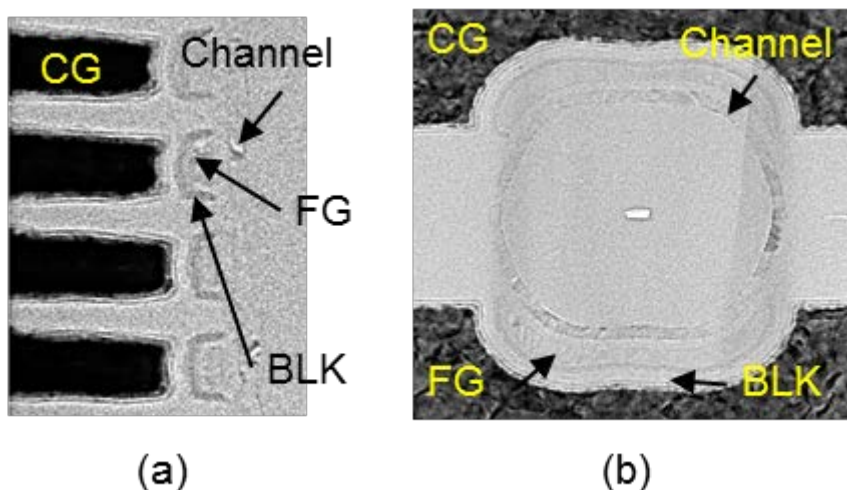
전하축적층과 고유 전율 BLK 유전체 채용으로 차지 트랩 효율을 높이는 것으로 프로그램 윈도우의 확장과 FG 전자 누출을 감소 시켜 높은 커플링 비율을 달성 할 수 있습니다. 더불어 program 포화 문제도 해결됩니다. (그림 1)

이러한 방식으로 고유 전율 BLK 기반의 반원형 FG 는 원형 셀에 비해 크기는 축소된 반면 높은 program 기울기와 넓은 program /erase window 를 확보하게 됩니다. (그림 2)

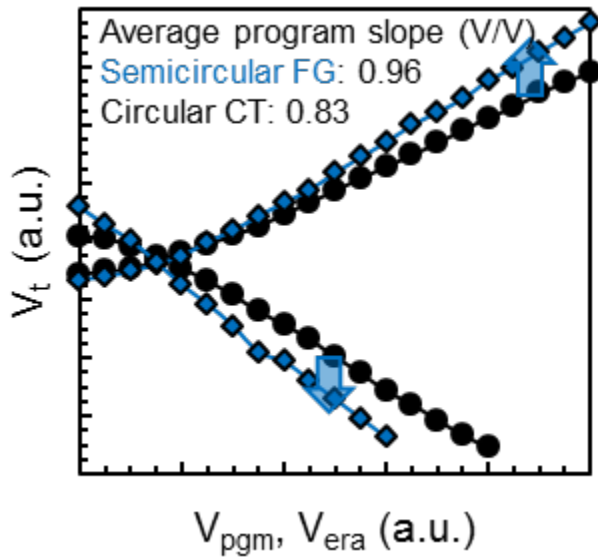
뛰어난 program /erase 특성 개선 기술로 인해 작은 반원형 FG 셀도 기존 원형 셀과 동일하게 조밀한 QLC Vt 분포의 시뮬레이션을 보입니다. 더 나아가, 낮은 trap SI channel 의 결합으로 Penta-Level Cell (PLC)과 같이 4 bits/cell 을 뛰어 넘는 Vt 분포도 확보합니다. (그림 3) 이 결과는 반원형 FG 셀의 높은 bit 단위 용량의 실현 가능성을 입증합니다.

앞으로도 플래시 메모리의 혁신을 추구하는 KIOXIA 는 지속적인 Twin BiCS FLASH 개발과 실용화 모색에 대한 연구를 이어 나갈 것 입니다. IEDM 2019 에서 KIOXIA 는 본 발표 이외에 플래시 메모리 분야에서의 집중적인 R & D 활동을 강조하는 다른 6 개의 논문 발표도 진행하였습니다.

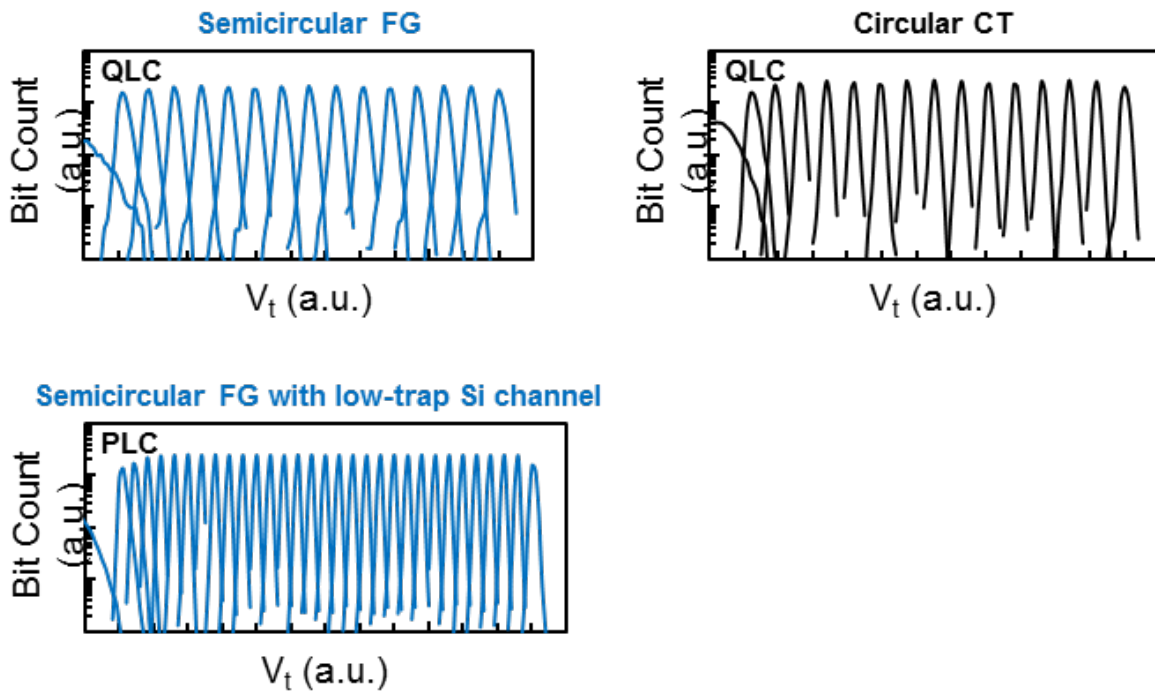
[1] Source: KOIXIA Corporation, as of December 12, 2019.



(그림 1) 반원형 셀의 단면도(a) 및 평면도(B)



(그림 2) 반원형 FG 셀과 원형 CT 셀의 program/erase 특성 실험



(그림 3) low-trap Si Channel 을 적용한 V_t 분포 시뮬레이션